

Desain Komparator Presisi untuk Aplikasi ADC Pipeline 1-bit/stage Menggunakan CMOS Teknologi AMS 0,35 μm

Hamzah Afandi¹⁾ Erma Triawati Ch²⁾

¹⁾ Teknik Elektro Universitas Gunadarma
Jl. Margonda Raya No. 100, Depok, 16424, Indonesia
email : hamzah@staff.gunadarma.ac.id

²⁾ Teknik Elektro Universitas Gunadarma
Jl. Margonda Raya No. 100, Depok, 16424, Indonesia
email : ermach@staff.gunadarma.ac.id

ABSTRACT

Pipeline ADC 1-bit/stage requires a careful ADC sub and have a high accuracy, the appropriate is a precision comparator that has V_{os} approximately equal to 0V. In precision comparator, there are three important parts that must be designed that block pre-amp, decision blocks, and block buffer. In this design method used is based on manual calculations required specifications. From the results simulated with CAD mentor graphics technology with the size of AMS (Austria Micro Systems) 0.35 μm CMOS, then the simulation results in the analysis if there is a difference with both theories be revised manually count and circuit simulation. Block design pre-amp function to change the voltage level to current level. Desain decision block is the heart of the comparator which convert the current into a voltage by adding a slider hysteresis to minimize noise levels that occur. Design block buffer is a differential voltage level converter circuit into a binary logic (0 and 1), by applying its own refraction and adding a buffer not to increase the strengthening and isolating the capacitive load to the refraction of his own. The results are the strengthening of the comparator $A_v \approx 5$ to minimize the offset error with $I_{SS} = 30\mu\text{A}$ to get together at a voltage mode $\approx 1.65\text{ V}$.

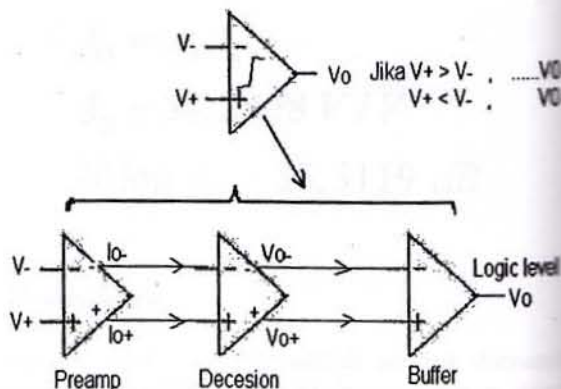
Key words: comparator precision, pre-amp, decision, buffer

1. Pendahuluan

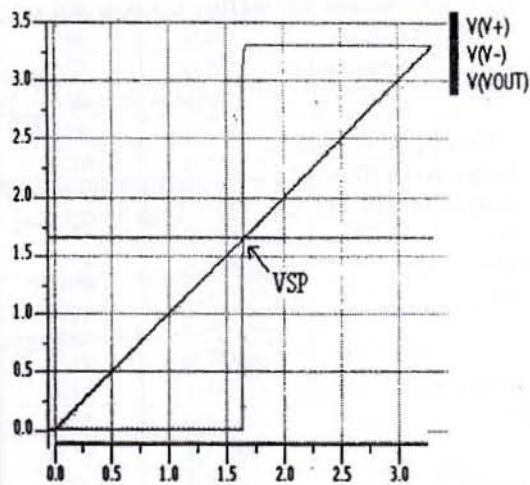
Fungsi komparator sebagai pembanding sinyal masukan dengan tegangan acuan (ADC). Keluaran

komparator merupakan logika biner 0 atau 1. ADC 1-bit/stage memerlukan sub ADC yang teliti dan memiliki

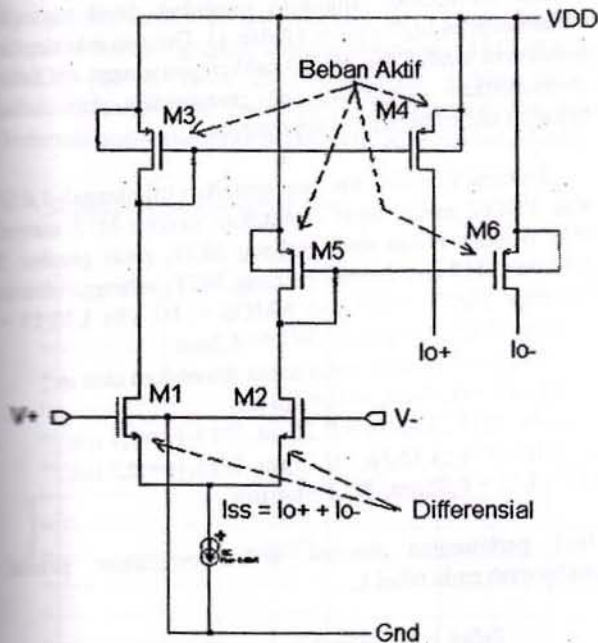
ketepatan tinggi. Ada beberapa komparator yang menjadi pilihan misal komparator presisi, latch komparator, lewis-gray komparator dan differensial dinamik komparator. Dari sekian komparator dengan spesifikasi yang ada, yang sesuai adalah komparator presisi yang memiliki V_{os} mendekati sama dengan 0V seperti gambar 1 dan gambar 2. Pada gambar 1 adalah diagram blok komparator presisi. Untuk unit pre-amp digunakan jenis differensial dan diset untuk input kapasitansi dengan beban aktif, unit decision adalah jantung komparator yang berfungsi untuk mengubah dari arus ke tegangan. Selain itu sebagai umpan balik positif dengan menambahkan komponen bersama digunakan untuk menggeser level histerisis dan juga menekan noise. Unit penyangga (buffer) berfungsi sebagai perantara level tegangan ke logika biner (0,1).



Gambar 1. Simbol dan Diagram Blok Komparator Presisi



Gambar 2. Transient DC Offset Komparator Presisi.

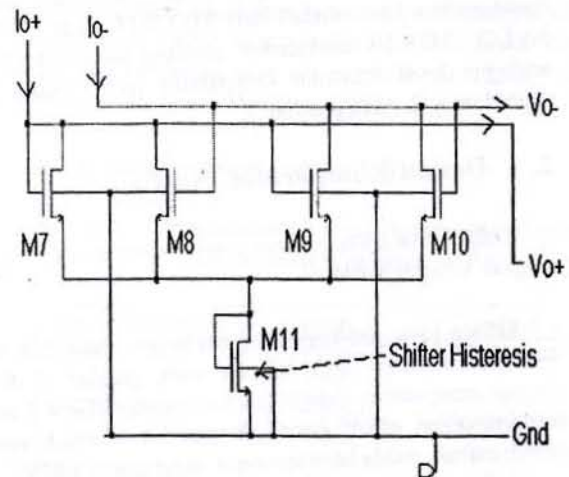


Gambar 3. Rangkaian Unit Pre-amp Komparator.

$$I_{o+} = \frac{gm1}{2}(V+ - V-) + \frac{I_{ss}}{2} = I_{ss} - I_{o-}$$

Dimana ukuran $M3=M4=M5=M6$ membentuk beban aktif (cermin arus) untuk penguat differensial M1-2. Arus yang melewati M1 dan M2 membentuk I_{ss} sehingga

keluaran I_{o+} dan I_{o-} dapat ditentukan dengan nilai I_{ss} tampak pada gambar 3.



Gambar 4. Rangkaian Unit Decision Komparator

Unit decision berfungsi mengubah level arus ke level tegangan, maka besar tegangan yang keluar tergantung ukuran M7-M10, dan M11 berfungsi sebagai penggeser histeresis atau untuk menghilangkan noise tampak pada gambar 4.

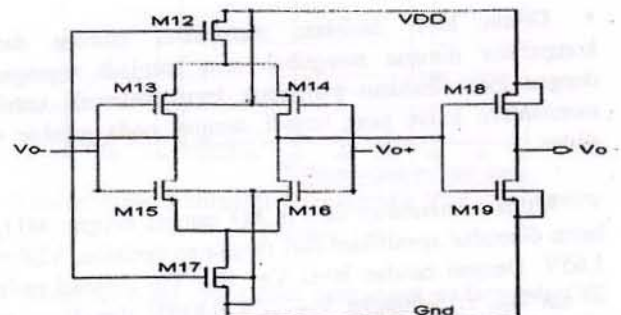
Jika I_{o+} lebih besar dari I_{o-} maka M7, M9 kondisi ON, dan M8, M10 kondisi OFF, jika $\beta_7 = \beta_{10} = \beta_A$ dan $\beta_8 = \beta_9 = \beta_B$ dan $V_{o-} = 0$ maka besar

$$V_{o+} = \sqrt{\frac{2I_{o+}}{\beta_A}} + V_{THN}$$

$$I_{o-} = \frac{\beta_B}{2} (V_{o+} - V_{THN})^2 = \frac{\beta_B}{\beta_A} I_{o+}$$

Tegangan switching (V_{SPH}):

$$V_{SPH} = V_{o+} - V_{o-} = \frac{I_{ss}}{gm} \cdot \frac{\frac{\beta_B}{\beta_A} - 1}{\frac{\beta_B}{\beta_A} + 1} \text{ for } \beta_B \geq \beta_A$$



Gambar 5. Rangkaian Unit Buffer Komparator.

Dasar yang digunakan pada rangkaian unit buffer adalah penguat differensial (M13-M16) dengan bias sendiri M12, M17 sebagai arus bersama dengan mendapatkan bias sendiri dari M13, M15 pada $V_{SP} = \frac{1}{2}V_{DD}$. M18-19 membentuk gerbang membalik (NOT), sehingga level keluaran komparator pada logika biner seperti tampak pada gambar 5.

2. Desain Komparator Presisi

Dalam desain komparator presisi dapat dimulai dengan langkah sebagai berikut :

- Desain blok pre-amp yang berfungsi mengubah level tegangan ke level arus tampak pada gambar 3 diatas, dengan menentukan penguatan komparator $A_v \approx 5$ untuk meminimalkan offset error dengan $I_{SS} = 30\mu A$ supaya mendapatkan mode bersama pada tegangan $\approx 1,65V$;

Diketahui $V_{GS3} = 1,65V$ dan $I_{D3} = 15\mu A$ maka ukuran M3 adalah

$$I_{D3} = \frac{K_p}{2} \frac{W}{L} (V_{GS3} - V_{THP})^2, \rightarrow \left(\frac{W}{L}\right)_3 = 1,2$$

jika $L_3 = 0,35\mu m$ maka $W_3 = 0,4\mu m$

$$\text{Dan } g_{m3} = \sqrt{2 \cdot k_p \cdot \frac{W}{L} I_{D3}} = 48\mu A/V \text{ sehingga dapat}$$

diketahui nilai g_{m1} ;

$$A_v = \frac{g_{m1}}{g_{m3}} = \frac{\sqrt{K_n \frac{W_1}{L_1}}}{\sqrt{K_p \frac{W_3}{L_3}}} \rightarrow 5 = \frac{g_{m1}}{48} \rightarrow \text{dan}$$

$g_{m1} = 248\mu A/V$ dan dapat untuk menentukan ukuran

$$M1; \left(\frac{W}{L}\right)_1 = 10,8 \text{ dan jika } L_1 = 0,35\mu m \text{ maka } W_1 = 3,8\mu m.$$

Sehingga ukuran $M1=M2$ dan $M3=M4=M5=M6$.

Besar $I_{o+} = I_{o-} = 15\mu A$ (awal),

- Desain blok decision, merupakan jantung dari komparator dimana mengubah arus menjadi tegangan dengan menambahkan penggeser level histeresis untuk meminimalkan noise yang terjadi, tampak pada gambar 4 diatas.

Untuk menentukan ukuran M7 sampai dengan M11, harus diketahui spesifikasi dari rangkaian decision, $V_{SP} = 1,65V$. Dengan catatan level V_{o+} dan V_{o-} dibatasi pada $2V_{THN} = 0,92V$. Sehingga $V_{GS7,10} = 0,659V$ dan $V_{GS11} =$

$0,73V$ dan ukuran $M7=M10$, $M8=M9$ dan $M11$ adalah sebagai berikut;

$$\text{Dimana } I_{D7}=I_{D10} = \frac{I_{o+}}{2} = 7,5\mu A \text{ dan ukuran } \left(\frac{W}{L}\right)_{7,10} = 2$$

$$L=0,35\mu m, W=0,7\mu m$$

Dengan syarat $\beta_7 = \beta_{10} = \beta_A$ dan $\beta_8 = \beta_9 = \beta_B$, $\beta_B > 2\beta_A$ sehingga ukuran M8 dan M9 adalah $L=0,35\mu m$, $W=1,4\mu m$.

$$\text{Diket } I_{D11} = 30\mu A, \text{ maka ukuran } M11; \left(\frac{W}{L}\right)_{11} = \frac{I_{D11} \cdot 2}{K_n \cdot (V_{GS} - V_{THN})^2} = 4,4 \text{ sehingga nilai}$$

$$L=0,35\mu m, W=1,54\mu m$$

Dan

$$V_{SPH} = V_{o+} - V_{o-} = \frac{I_{SS}}{g_m} \cdot \frac{\frac{\beta_B}{\beta_A} - 1}{\frac{\beta_B}{\beta_A} + 1} \text{ for } \beta_B \geq \beta_A, \rightarrow V_{SPH}$$

$$= V_{SPL} = 40mV \text{ dari } V_{SP}.$$

- Desain blok penyangga (buffer) tampak pada gambar 5 di atas merupakan rangkaian pengubah level tegangan differensial ke logika biner (0 dan 1). Dengan menerapkan pembiasan sendiri dan menambahkan penyangga not untuk meningkatkan penguatan dan mengisolasi dari beban kapasitif terhadap pembiasan sendiri.

Dimana V_{o+} dan V_{o-} bergerak dari titik tengah $1,65V$ atau $V_{DD}/2$ maka dapat ditentukan ukuran M12 sampai M19 dengan aturan dari gerbang NOT, pada gambar 5 M18 dan M19 membentuk gerbang NOT, sehingga ukuran transistor PMOS = 2/3 dan NMOS = 1/3 jika $L_{18,19} = 0,35\mu m$, $W_{18} = 1,4\mu m$ dan $W_{19} = 4,2\mu m$.

Dengan cara sama maka dapat ditentukan ukuran ;
M12 ; $L_{12} = 0,35\mu m$, $W_{12} = 4,2\mu m$
M13 dan M14 ; $L_{13,14} = 0,35\mu m$, $W_{13,14} = 2,1\mu m$
M15 dan M16 ; $L_{15,16} = 0,35\mu m$, $W_{15,16} = 0,7\mu m$
M17 ; $L_{17} = 0,35\mu m$, $W_{17} = 1,4\mu m$

Hasil perhitungan manual W/L komparator presisi keseluruhan pada tabel 1.

Tabel 1. Hasil Perhitungan Manual Komparator Presisi.

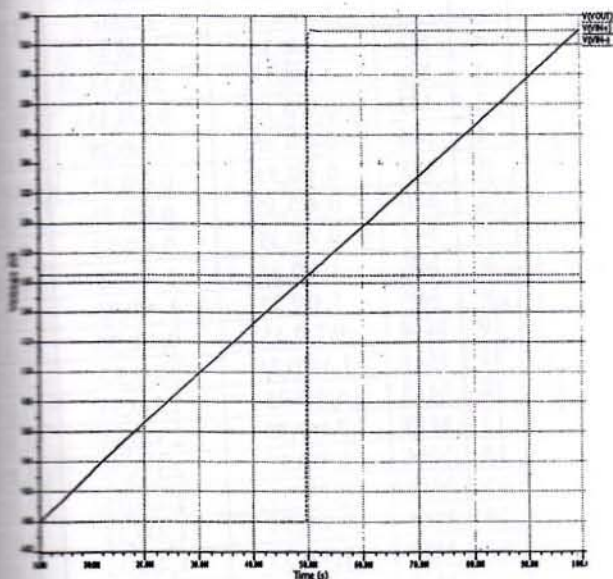
Komponen	Parameter $\frac{W}{L} (\mu m)$	MOS	Arus Drain (μA)
M1	3,8/0,35	NMOS	15
M2	3,8/0,35	NMOS	15
M3	0,4/0,35	PMOS	15
M4	0,4/0,35	PMOS	15

M5	0,4/0,35	PMOS	15
M6	0,4/0,35	PMOS	15
M7	0,7/0,35	NMOS	7,5
M8	1,4/0,35	NMOS	7,5
M9	1,4/0,35	NMOS	7,5
M10	0,7/0,35	NMOS	7,5
M11	1,54/0,35	NMOS	30
M12	4,2/0,35	PMOS	30
M13	2,1/0,35	PMOS	15
M14	2,1/0,35	PMOS	15
M15	0,7/0,35	NMOS	15
M16	0,7/0,35	NMOS	15
M17	1,4/0,35	NMOS	30
M18	4,2/0,35	PMOS	30
M19	1,4/0,35	NMOS	30
PD	Disipasi Daya	19MOS	396,8uW

3 Simulasi dan Pembahasan Desain Komparator Presisi

Simulasi yang dilakukan terhadap desain rangkaian Komparator Presisi dengan menggunakan perangkat lunak simulasi mentor graphic dengan teknologi AMS 0,35 μ m CMOS proses. Pada unit komparator presisi (ADC), simulasi ditekankan pada offset komparator dan level referensi untuk menekan noise, simulasi tersebut adalah;

- Simulasi tegangan offset Vos.



Gambar 6. Hasil Simulasi Karakteristik Vos Komparator Presisi.

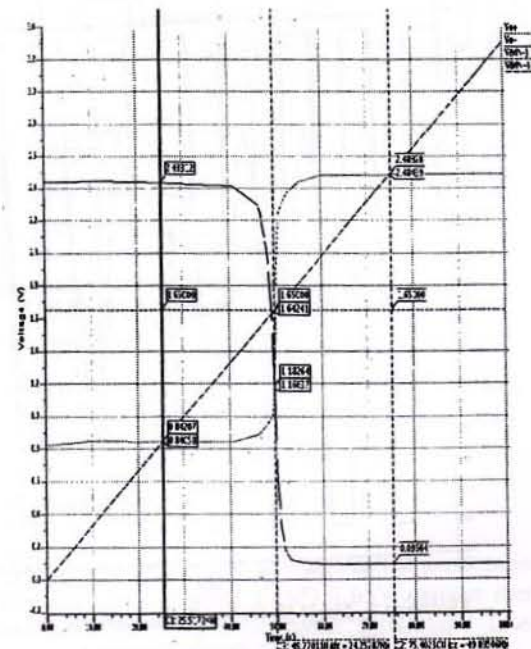
Hasil simulasi pada gambar 6 dapat dijelaskan dengan memberikan masukan Vin- dengan tegangan DC 1,65V dan masukan Vin+ variabel DC dari 0V sampai dengan 3,3V, didapatkan perubahan keluaran (vout) dengan titik setpoint pada 1,65V. Saat vin 0V s/d 1,65V maka Vout = 0V (0) kemudian saat vin bergerak dari 1,65V s/d 3,3V maka Vout = 3,3V (1)

- Simulasi tegangan setpoint VSP.

Tabel 2. Perbandingan Hasil Perhitungan Manual dan Simulasi Tegangan VSP.

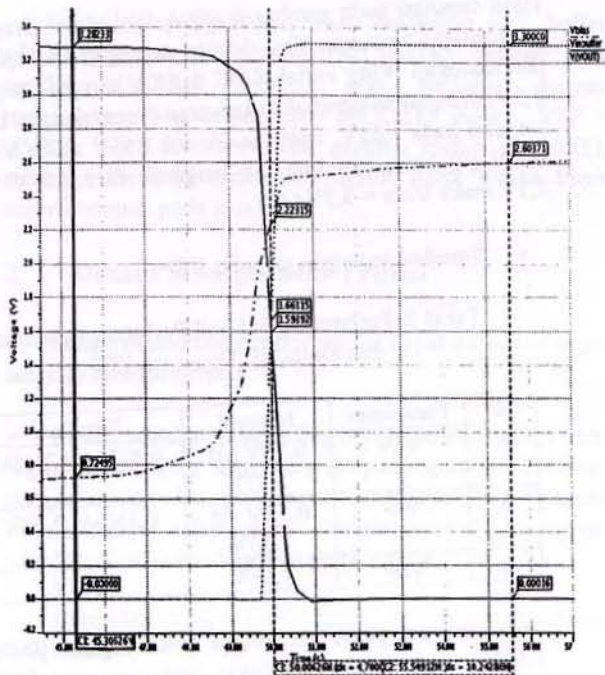
No	Parameter	Manual	Simulasi
1	Vo+	0,73V s/d 2,57V	0,84V s/d 2,48V
2	Vo-	0,73V s/d 2,57V	0,1V s/d 2,43V
3	VSP	1,65V	1,18V

Tegangan set point penyangga (NOT) pada posisi 1,66V mendekati level setpoint perhitungan 1,65V. Pergerakan tegangan bias dari 0,72V sampai dengan 2,6V seperti pada tabel 2 dan hasil simulasi rangkaian pre-amp dan decision pada gambar 7.



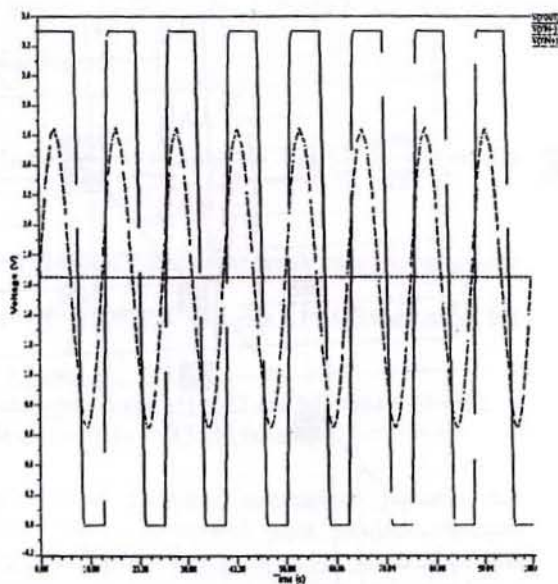
Gambar 7. Hasil Simulasi Karakteristik VSP Komparator Presisi.

Hasil simulasi rangkaian penyangga pada gambar 8, keluaran komparator mempunyai level keluaran pada logika biner (0= 0V dan 1 = 3,3V).

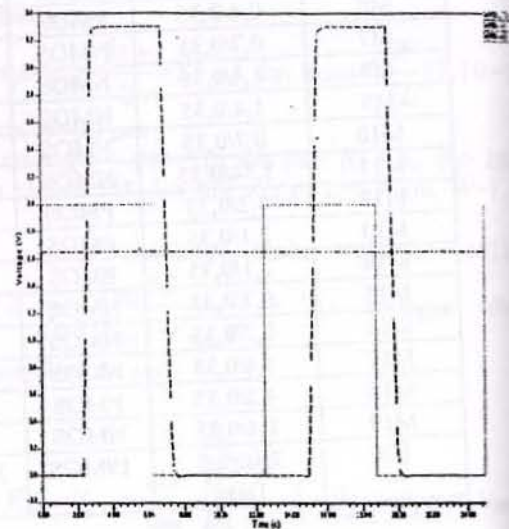


Gambar 8. Hasil Simulasi Karakteristik Penyangga Komparator Presisi.

- Simulasi transient komparator presisi.



Gambar 9. Hasil Simulasi Karakteristik delay Komparator Presisi (Sinus).



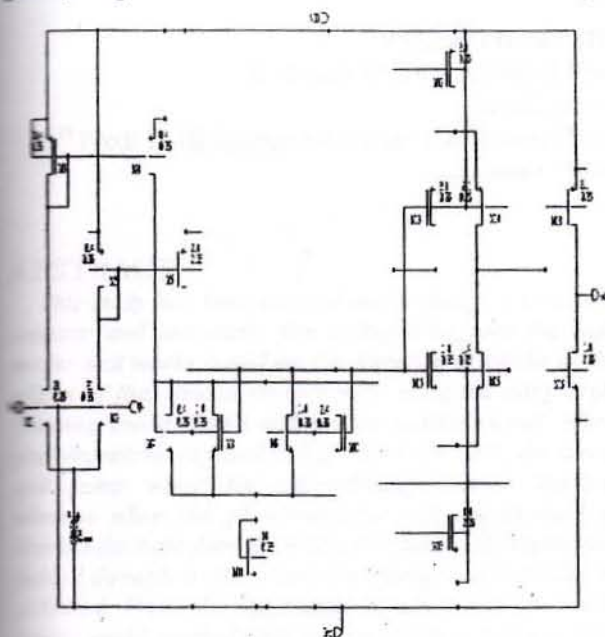
Gambar 10. Hasil Simulasi Karakteristik delay Komparator Presisi (Kotak).

Pada gambar 9 dan 10 pengujian dengan melihat efek delay perbandingan antara V_{in-} dan V_{in+} dengan keluaran V_{out} . Frekuensi yang diberikan adalah 80MHz, pada gelombang kotak dihasilkan perbedaan periode tinggi dan rendah dan ini tidak dijumpai pada simulasi dengan gelombang sinus.

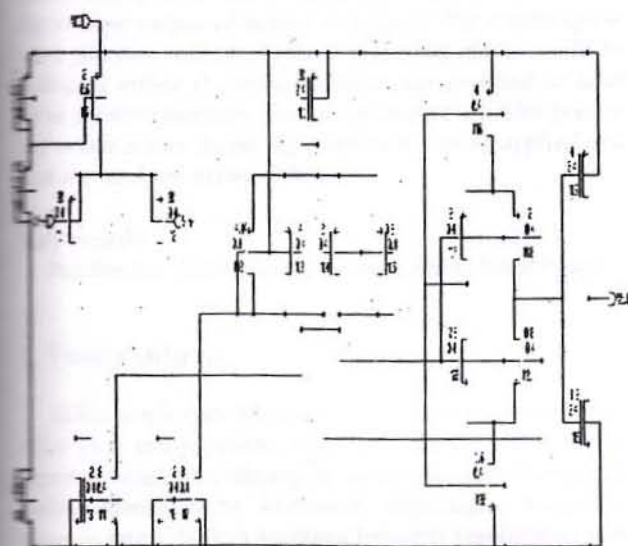
Tabel 3. Perubahan Nilai W/L Pada Komparator Presisi.

No	Ketr	Simulasi Pertama	Simulasi Kedua	Eri P [2005]
1	M1	3,8/0,35	21/0,35	3/0,5
2	M2	3,8/0,35	21/0,35	3/0,5
3	M3	0,4/0,35	0,4/0,35	0,8/0,5
4	M4	0,4/0,35	0,4/0,35	0,8/0,5
5	M5	0,4/0,35	0,4/0,35	0,8/0,5
6	M6	0,4/0,35	0,4/0,35	0,8/0,5
7	M7	0,7/0,35	0,4/0,35	0,8/0,5
8	M8	1,4/0,35	1,4/0,35	0,8/0,5
9	M9	1,4/0,35	1,4/0,35	0,8/0,5
10	M10	0,7/0,35	0,4/0,35	0,8/0,5
11	M11	1,54/0,35	14/0,35	30/0,5
12	M12	4,2/0,35	2,1/0,35	0,8/0,5
13	M13	2,1/0,35	2,1/0,35	0,8/0,5
14	M14	2,1/0,35	2,1/0,35	0,8/0,5
15	M15	0,7/0,35	1,4/0,35	0,8/0,5
16	M16	0,7/0,35	1,4/0,35	0,8/0,5
17	M17	1,4/0,35	1,4/0,35	0,8/0,5
18	M18	4,2/0,35	2,1/0,35	0,8/0,5
19	M19	1,4/0,35	1,4/0,35	0,8/0,5
20	PD	396,8uW	410,56uW	-
21	VSP	1,18V	1,36V	-

Perubahan parameter W/L dari simulasi pertama yang di dasarkan dari perhitungan manual, kemudian dilakukan perbaikan karakteristik komparator presisi didapatkan parameter W/L pada simulasi kedua seperti pada tabel 3 dan gambar 11, perbandingan nilai parameter W/L desain komparator 0,35 μ m dengan parameter W/L desain 0,6 μ m [Eri.P,2005]

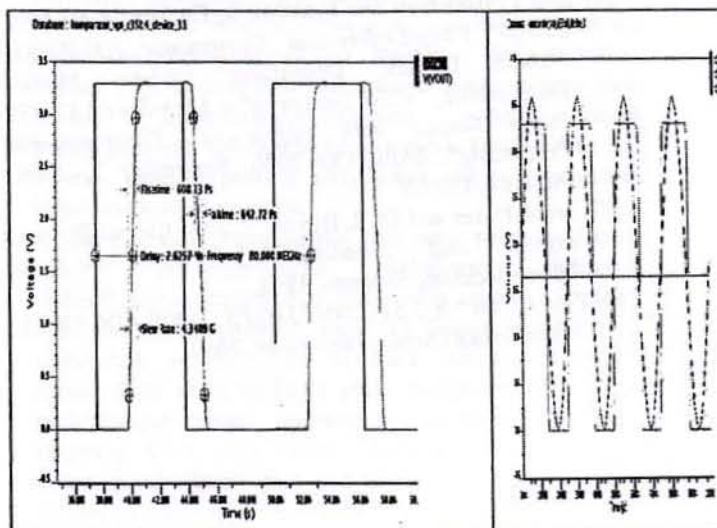


Gambar 11. Rangkaian Simulasi -2 Komparator Presisi.



Gambar 12. Rangkaian Simulasi -3 Komparator Presisi.

Rangkaian komparator pada gambar 12 memiliki perbedaan topologi dengan rangkaian komparator presisi pada gambar 11 di mana perbedaan pada bagian pre-amp differensial menggunakan transistor PMOS dan bagian decision menggunakan PMOS serta penyangga sama dengan gambar 11. Perubahan hasil simulasi pada tegangan VSP diperoleh 1,59V dan perubahan delay saat diberikan masukan gelombang sinus dan kotak. Hal ini dikarenakan perubahan arah arus I_{o+} dan I_{o-} yang menghasilkan V_{o+} dan V_{o-} untuk menentukan tegangan set point pada level mendekati 1,65V, dengan arus bergerak dari M11, dengan perbandingan dari M12 s/d M15 yaitu $\beta_{12} \times \beta_{15} = \beta_A$ dan $\beta_{13} \times \beta_{14} = \beta_B$ $\beta_B > 2\beta_A$, M3 s/d M7 membentuk cermin arus yang berfungsi menghasilkan I_{o+} dan I_{o-} dan mengontrol nilai V_{o+} dan V_{o-} . M8 s/d M10 sebagai sumber arus tetap untuk bias M5 dan menghasilkan arus I_{ss} . Hasil simulasi komparator presisi dari gambar 12 didapatkan bentuk gelombang pada gambar 13 di mana dengan memberikan sinyal masukan AC kotak dan sinus.



Gambar 13. Hasil Simulasi-3 Komparator Presisi.

4. Kesimpulan

Desain komparator presisi dengan latch untuk mencapai target tegangan set point (VSP) 1,65V dengan merubah nilai komponen MOS yaitu kanal W(width) / L(length) pada bagian pre-amp, decision dan buffer.

REFERENSI

- [1] Anonim," *Parameter Ruler Design CMOS AMS 0,35um*," Mentor Graphics Corporation.. <http://www.mentor.com/ams.html>, 2008.
- [2] B.-S. Song, La Jolla, and Gilman," *Design CMOS Analog-to-Digital Converter*," ECE264C, International WorkShop in University of California, San Diego, 2007
- [3] B. Razavi., " *Design of Analog CMOS Integrated Circuits*". McGraw Hill, University of California, Los Angeles, 2001.
- [4] D.Schroder," *Semiconductor material and device characterization*," volume Chapter 8. John Wiley and Sons Inc, 1990.
- [5] Eri Prasetyo, Dominique Ginhac and M. Paindavoine , "principles of CMOS sensors dedicated to face tracking and recognition", In IEEE CAMP05 International Workshop on Computer Architecture for Machine Perception, July 2005.
- [6] Erik P. Anderson and Jonathan S. Daniels," *A 60-MHz 150- μ V Fully-Differential Comparator*." JOURNAL Jérôme Dubois, Dominique Ginhac, Michel Paindavoine, " *VLSI Design of a High-Speed CMOS Image Sensor with in-situ 2D Programmable Processing*", EUSIPCO 2006, September 8, 2006, Florence, ITALY
- [7] Jacob Baker and D. E. Boyce," *CMOS Circuit Design, Layout and Simulation*." IEEE Press on Microelectronic Systems, 1998.
- [8] Paul C. Yu " *A 2,5V 12-bit 5MSPS CMOS ADC* "IEEE J Solid-state Circuit, November ,2000